

J1036 U.S. PTO

09/879434



대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 51822 호
Application Number

출원년월일 : 2000년 09월 02일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 09 월 23 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2000.09.02
【국제특허분류】	H04N
【발명의 명칭】	클럭 스큐에 의한 에러를 최소화하는 데이터 복원 장치 및 그 방법
【발명의 영문명칭】	Data recovery apparatus for minimizing error due to th clock skew and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	유덕현
【성명의 영문표기】	Y00,Duck Hyun
【주민등록번호】	690301-1069338
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골 한신아파트 816동 1604호
【국적】	KR

【발명자】

【성명의 국문표기】 이건상
【성명의 영문표기】 LEE, Gun Sang
【주민등록번호】 660115-1011015
【우편번호】 130-062
【주소】 서울특별시 동대문구 제기2동 67-257번지
【국적】 KR

【발명자】

【성명의 국문표기】 이진국
【성명의 영문표기】 LEE, Jin Kug
【주민등록번호】 710211-1067332
【우편번호】 151-057
【주소】 서울특별시 관악구 봉천7동 1616-18번지
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인) 대리인
 이래호 (인)

【수수료】

【기본출원료】 20 면 29,000 원
【가산출원료】 19 면 19,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 13 항 525,000 원
【합계】 573,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

클럭 스큐에 의한 에러를 최소화하는 데이터 복원 장치 및 그 방법이 개시된다. 본 발명에 따른 데이터 복원 장치는, 위상 동기 루프, 오버샘플링 수단, 레벨 변화 검출부, 변화 누적부, 상태 선택부 및 데이터 선택부를 구비한다. 위상 동기 루프는, 입력 클럭 신호에 동기되고, 서로 다른 지연 시간을 갖는 다수 개의 위상 클럭 신호를 발생시킨다. 오버샘플링 수단은 외부에서 직렬로 입력되는 데이터를 다수 개의 위상 클럭 신호에 응답하여 $M(>1)$ 배 오버샘플링하고, 오버샘플링된 결과를 다수 비트 데이터로서 출력한다. 레벨 변화 검출부는, 오버샘플링 수단에서 출력된 다수 비트 데이터를 입력하여 비트 간의 레벨 변화 시점을 검출하고, 검출된 결과를 각각 제1~제M변화 신호로서 출력한다. 변화 누적부는, 레벨 변화 검출부에서 출력된 제1~제M변화 신호의 발생 회수를 각각 누적하여 발생 빈도가 높은 신호를 제1~제M변화 누적 신호 중 하나로서 출력한다. 상태 선택부는, 제1~제M변화 누적 신호에 응답하여 다수의 오버샘플링 데이터들 중 해당 위치의 비트 데이터들을 선택하기 위한 상태 신호를 생성한다. 데이터 선택부는, 오버샘플링된 다수 비트 데이터를 입력하고, 상태 신호에 상응하는 샘플링 위치의 비트 데이터들을 선택하여 병렬로 출력한다. 본 발명에 따르면, 데이터의 복원 시에 발생될 수 있는 클럭 스큐에 의한 에러를 최소화할 수 있다는 효과가 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

클럭 스큐에 의한 에러를 최소화하는 데이터 복원 장치 및 그 방법{Data recovery apparatus for minimizing error due to the clock skew and method thereof}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 의한 클럭 스큐를 최소화하기 위한 데이터 복원 장치를 나타내는 개략적인 블록도이다.

도 2는 도 1에 도시된 장치의 레벨 변화 검출부를 나타내는 상세한 회로도이다.

도 3(a)~도 3(c)는 도 2에 도시된 레벨 변화 검출부의 동작을 설명하기 위한 도면들이다.

도 4는 도 1에 도시된 장치의 변화 누적부를 나타내는 상세한 회로도이다.

도 5는 도 4에 도시된 변화 누적부의 동작을 설명하기 위한 플로우차트이다.

도 6은 도 1에 도시된 장치의 상태 선택부를 설명하기 위한 상세한 회로도이다.

도 7은 도 6에 도시된 상태 선택부의 동작을 설명하기 위한 도면이다.

도 8은 도 1에 도시된 장치의 데이터 선택부를 설명하기 위한 상세한 회로도이다.

도 9는 도 8에 도시된 데이터 선택부의 동작을 설명하기 위한 도면이다.

도 10은 도 1에 도시된 장치에서 수행되는 데이터 복원 방법을 설명하기 위한 플로우차트이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 데이터 전송 시스템에 관한 것으로서, 특히, 클럭 스큐에 의한 에러를 최소화하는 데이터 복원 회로 및 그 방법에 관한 것이다.
- <12> 일반적으로, 소정의 데이터를 전송하기 위한 데이터 전송 시스템에서는 각 시스템 간의 디지털 인터페이스를 수행하는 방법으로 병렬 데이터 채널을 사용하는 방법이 널리 이용된다. 그러나, 병렬 데이터 채널을 이용하는 방법은 데이터 전송 채널이 증가함에 따른 문제점이 유발될 수 있다. 이러한 이유로 인해, 근래에는 병렬 전송을 이용하는 방법에서 점차 직렬 전송을 이용하는 방법으로 대체되는 추세에 있다.
- <13> 즉, 직렬 전송 채널을 이용하여 데이터를 전송하는 방법은 병렬 데이터 채널을 이용하는 방법보다 채널 수가 줄어든다는 장점이 있다. 그러나, 대부분의 경우에 직렬 전송 채널을 이용하여 데이터를 전송하면, 수신단에서 고속의 직렬 신호가 병렬 데이터 포맷으로 복원되어야 한다. 이 때, 직렬 데이터를 병렬 데이터 포맷으로 복원할 때 수신단에서의 클럭 스큐로 인해, 데이터 복원이 어려워지는 경우가 발생할 수 있다.
- <14> 종래에는 이러한 문제점을 해결하기 위해, 수신된 신호의 한 비트 구간에서 여러 번의 샘플링을 수행하고, 샘플링된 결과에 의해 발생 빈도가 많은 데이터를 실제 데이터로 결정하는 방식이 이용되었다. 그러나, 단지 발생 빈도를 검출하여 데이터를 결정하는 방식은, 클럭 스큐의 누적으로 인해 데이터의 레벨이 변화되는 부분에서 에러가 발생할 수 있다. 예를 들어, 데이터가 하이 레벨에서 로우 레벨로 변화되거나, 로우 레벨에서

하이 레벨로 변화되는 레벨 천이 구간에서는, 데이터의 발생 빈도에 의해 결정된 데이터라 하더라도, 실제 데이터가 아닌 에러 데이터일 확률이 높게 된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자하는 기술적 과제는, 데이터 수신 시에 클럭 스큐에 관계없이 안정적으로 데이터를 복원할 수 있도록 하는 데이터 복원 장치를 제공하는데 있다.

<16> 본 발명이 이루고자하는 다른 기술적 과제는, 상기 데이터 복원 장치에서 수행되는 데이터 복원 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<17> 상기 과제를 이루기위해, 본 발명의 일면은 클럭 스큐에 의한 에러를 최소화하는 데이터 복원 장치를 제공한다. 본 발명에 따른 데이터 복원 장치는, 위상 동기 루프, 오버샘플링 수단, 레벨 변화 검출부, 변화 누적부, 상태 선택부 및 데이터 선택부를 구비한다. 위상 동기 루프는, 입력 클럭 신호에 동기되고, 서로 다른 지연 시간을 갖는 다수 개의 위상 클럭 신호를 발생시킨다. 오버샘플링 수단은 외부에서 직렬로 입력되는 데이터를 다수 개의 위상 클럭 신호에 응답하여 $M(>1)$ 배 오버샘플링하고, 오버샘플링된 결과를 다수 비트 데이터로서 출력한다. 레벨 변화 검출부는, 오버샘플링 수단에서 출력된 다수 비트 데이터를 입력하여 비트 간의 레벨 변화 시점을 검출하고, 검출된 결과를 각각 제1~제M변화 신호로서 출력한다. 변화 누적부는, 레벨 변화 검출부에서 출력된 제1~제M변화 신호의 발생 회수를 각각 누적하여 발생 빈도가 높은 신호를 제1~제M변화 누적 신호 중 하나로서 출력한다. 상태 선택부는, 제1~제M변화 누적 신호에 응답하여 다수의 오버샘플링 데이터들 중 해당 위치의 비트 데이터들을 선택하기 위한 상태 신호를 생성

한다. 데이터 선택부는, 오버샘플링된 다수 비트 데이터를 입력하고, 상태 신호에 상응하는 샘플링 위치의 비트 데이터들을 선택하여 병렬로 출력한다.

<18> 상기 다른 과제를 이루기위해, 본 발명의 다른 일면은 클럭 스큐에 의한 에러를 최소화하는 데이터 복원 방법을 제공한다. 본 발명에 따른 데이터 복원 방법은 (a)~(e)단계를 구비한다. (a)단계는 외부에서 K비트 단위의 직렬 데이터를 입력하고, 서로 다른 지연 시간을 갖는 N개의 위상 클럭 신호에 의해 직렬 데이터의 한 비트 구간을 M배 오버샘플링한다. (b)단계는 M배 오버샘플링된 N 비트 신호들간의 레벨 변화를 검출하여 레벨 변화 시점에 따른 제1~제M변화 신호를 출력한다. (c)단계는 제1~제M변화 신호의 발생 횟수를 누적한다. (d)단계는 제1 ~제M변화 신호의 발생 횟수를 누적한 결과에 의해 발생 빈도가 높은 신호를 검출한다. (e)단계는 발생 빈도가 높은 신호에 의해서 오버샘플링된 데이터들 중 해당 위치의 데이터들을 선택한다.

<19> 이하, 본 발명에 따른 클럭 스큐에 의한 에러를 최소화하는 데이터 복원 장치에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

<20> 도 1은 본 발명의 실시예에 의한 클럭 스큐에 의한 에러를 최소화하는 데이터 복원 장치를 나타내는 블록도이다. 도 1을 참조하면, 데이터 복원 장치는, 위상 동기 루프(Phase Locked Loop:이하, PLL이라 함)(100), 3배 오버샘플러 (110), 레벨 변화 검출부(120), 변화 누적부(130), 상태 선택부(140) 및 데이터 선택부(150)를 포함한다.

<21> PLL(100)은 입력되는 클럭 신호(CLK)에 동기되는 소정 개수의 위상 클럭 신호(PH_CLK)를 생성한다. 여기에서, 위상 클럭 신호(PH_CLK)는 입력 클럭 신호 (CLK)에 동기되어 각각 서로 다른 지연 시간을 갖는다. 도 1의 실시예에서 위상 클럭 신호(PH_CLK)는 12개의 서로 다른 지연 시간을 갖는 것으로 가정된다. 이러한 위상 클럭 신호

(PH_CLK)는 3배 오버샘플러(110)에 병렬로 인가되어 샘플링 클럭 신호로서 이용된다.

<22> 3배 오버샘플러(110)는 외부에서 직렬로 입력되는 데이터(S_DIN)를 상기 위상 클럭 신호(PH_CLK)에 응답하여 3배 오버샘플링하고, 오버샘플링된 결과를 N비트 병렬 데이터로서 출력한다. 구체적으로 도시되지는 않았으나, 입력 데이터(S_DIN)는 외부의 송신측으로부터 직렬 입력되는 4비트 단위의 신호인 것으로 가정된다. 즉, 3배 오버샘플러(110)는 4비트 단위로 직렬 입력되는 데이터의 1비트 구간을 3번 샘플링하고, 상기 샘플링된 결과를 출력한다. 도 1의 3배 오버샘플러(110)에서 출력되는 데이터는 현재 클럭 신호에 대한 4비트의 직렬 데이터를 각각 3배 샘플링한 결과로서의 12비트와, 다음 클럭 신호(CLK)에 대한 최상위 1비트가 더해진 13비트가 된다. 여기에서, 다음 클럭 신호(CLK)에 대한 마지막 한 비트는 3배 오버샘플러(110)의 출력을 지연시킴으로써 구해질 수 있다.

<23> 레벨 변화 검출부(120)는 3배 오버샘플러(110)에서 출력된 13비트 데이터를 입력하여 각 비트 간에 레벨이 변화되는 시점을 감지하고, 감지된 결과를 각각 제1, 제2 및 제3변화 신호(NEXT/PREV/MAIN)로서 출력한다. 여기에서, 제1~제3변화 신호(NEXT/PREV/MAIN)는 입력 클럭 신호(CLK)의 클럭 스큐에 의해 3배 오버샘플러(110)에서 나타날 수 있는 세 가지 상태를 나타내며, 샘플링된 데이터들의 레벨 변화 시점을 구분한 결과를 나타낸다.

<24> 변화 누적부(130)는 레벨 변화 검출부(120)에서 출력된 제1~제3변화 신호(PREV/MAIN/NEXT)를 각각 누적하여 제1~제3변화 누적 신호(NEXTA/PREVA/MAINA)를 발생시킨다. 실제로, 변화 누적부(130)는 제1~제3변화 신호들(NEXT/PREV/MAIN) 중에서 발생 빈도가 가장 높은 한 신호를 변화 누적 신호로서 출력한다.

- <25> 상태 선택부(140)는 변화 누적부(130)에서 출력된 제1~제3변화 누적 신호(NEXTA/PREVA/MAINA)에 응답하여 3배 오버샘플러(110)의 출력 중 해당 위치의 비트 데이터들을 선택하기 위한 상태 신호(STATE)를 생성한다. 여기에서, 상태 신호(STATE)는 2비트 조합으로 나타낼 수 있으며, 데이터 선택부(150)의 선택 신호로서 인가된다.
- <26> 데이터 선택부(150)는 3배 오버샘플러(110)에서 샘플링된 12 비트 데이터를 입력하고, 상태 선택부(140)에서 출력되는 상태 신호(STATE)에 상응하는 샘플링 위치의 비트 데이터들을 선택하여 병렬 데이터로 출력한다. 여기에서, 데이터 선택부(150)는 3배 오버샘플러(110)의 13비트의 병렬 출력 중에서 다음 클럭 신호에 대한 1비트를 제외하고, 12비트 만을 입력으로 받아들인다. 또한, 데이터 선택부(150)는 직렬 데이터의 1비트 구간에서 3번 샘플링된 서로 다른 위치의 세 비트 중 한 비트를 선택하게 된다. 따라서, 데이터 선택부(150)는 각 1비트씩 4비트의 병렬 데이터(P_DOUT[0:3])를 출력한다.
- <27> 이와 같은 구성을 갖는 본 발명의 데이터 복원 장치는, 입력된 직렬 신호의 1비트 구간을 3배 오버샘플링하고, 오버샘플링된 데이터들의 레벨 변환 시점에 의해서, 샘플링된 세 비트 중 한 비트를 선택한다. 따라서, 입력되는 클럭 신호에 스큐가 발생하더라도 안정적인 데이터 복원이 가능해진다.
- <28> 도 2는 도 1에 도시된 레벨 변화 검출부(120)를 설명하기 위한 상세한 회로도이다. 도 2를 참조하면, 레벨 변화 검출부(120)는 변화 검출부(200) 및 변화 검출 신호 출력부(280)로 구성된다.
- <29> 변화 검출부(200)는 3배 오버샘플러(110)에서 출력되는 13비트 데이터들을 입력하여 인접한 비트들 간의 레벨 변화를 감지한다. 이러한 동작을 위해, 변화 검출부(200)는 다수 개의 배타적 오아 게이트들(201~212)로 구성된다. 도 2를 참조하면, 입력 데이터

들(D0~D12)은 3배 오버샘플러(110)에서 출력되는 13비트 데이터를 나타낸다.

<30> 구체적으로, 변화 검출부(200)의 배타적 오아 게이트들(201~212)은 각각 상기 13비트 데이터들 중에서 인접한 두 비트들을 배타적 논리합하고, 배타적 논리합된 결과를 제1출력 신호(next), 제2출력 신호(prev) 및 제3출력 신호(main)로서 출력한다. 여기에서, 변화 검출부(200)의 12비트 출력 데이터는 3비트씩 구분되어 출력 신호가 결정된다. 즉, 배타적 오아 게이트들(201~212)의 출력이 하이 레벨인 지점에서 레벨 변화가 존재하는 것으로 판단되며, 현재 입력 데이터의 변화가 세 출력 신호(main, prev, next) 중 어느 경우인지가 결정된다.

<31> 배타적 오아 게이트(201)는 첫 번째 비트(D0)와 두 번째 비트(D1)를 배타적 논리합하여 제1출력 신호(next[0])를 생성한다. 즉, 제1출력 신호(next[0])는 D0와 D1간의 레벨 변화를 감지한 결과로서, 배타적 오아 게이트(201)의 출력이 하이 레벨이 될 때, 레벨의 변화가 존재하는 것으로 판단된다. 또한, 배타적 오아 게이트(202)는 두 번째 비트(D1)와 세 번째 비트(D2)를 배타적 논리합하여 제2출력 신호(prev[0])를 생성한다. 즉, 제2출력 신호(prev[0])는 D1과 D2의 레벨 변화를 감지한 결과이다. 또한, 배타적 오아 게이트(203)는 세 번째 비트(D2)와 네 번째 비트(D3)를 배타적 논리합하여 제3출력 신호(main[0])를 생성한다. 즉, 제3출력 신호(main[0])는 D2와 D3의 레벨 변화를 감지한 결과이다.

<32> 이러한 방식으로 배타적 오아 게이트들(204~206)은 인접한 두 비트 데이터를 각각 배타적 논리합하여 제1, 제2 및 제3출력 신호(next[1], prev[1], main[1])를 생성한다. 마찬가지로, 배타적 오아 게이트들(207~209)은 제1, 제2 및 제3출력 신호(next[2], prev[2], main[2])를 생성하고, 배타적 오아 게이트들(210~212)은 제1, 제2 및 제3출력

신호(next[3], prev[3], main[3])를 생성한다. 이와 같이, 13비트의 입력 데이터를 배타적 논리합한 결과는 순서대로 3비트 단위로 분할된다.

<33> 도 2를 참조하면, 레벨 변화 검출부(120)의 변화 검출 신호 출력부(280)는 변화 검출부(200)에서 출력되는 제1, 제2 및 제3출력 신호들(next, prev, main)을 출력 신호별로 논리조합하고, 논리 조합된 결과를 각각 제1변화 신호(NEXT), 제2변화 신호(PREV) 및 제3변화 신호(MAIN)로서 출력한다. 이러한 동작을 위해, 변화 검출 신호 출력부(280)는 오아 게이트들(220, 230, 240), 인버터들(225, 235, 245) 및 다수 개의 앤드 게이트들(250, 260, 270)을 포함한다.

<34> 구체적으로, 오아 게이트(220)는 변화 검출부(200)에서 출력되는 각 제1출력 신호들(next[0]~next[3])을 논리합한다. 인버터(225)는 오아 게이트(220)의 출력 신호를 반전시키고, 반전된 결과를 제1반전 신호(NEXTB)로서 출력한다.

<35> 오아 게이트(230)는 변화 검출부(200)에서 출력되는 각 제2출력 신호들(prev[0]~prev[3])을 논리합한다. 인버터(235)는 오아 게이트(230)의 출력 신호를 반전시키고, 반전된 결과를 제2반전 신호(PREVB)로서 출력한다.

<36> 오아 게이트(240)는 변화 검출부(200)에서 출력되는 각 제3출력 신호들(main[0]~main[3])을 논리합한다. 인버터(245)는 오아 게이트(240)의 출력 신호를 반전시키고, 반전된 결과를 제3반전 신호(MAINB)로서 출력한다.

<37> 앤드 게이트(250)는 오아 게이트(220)의 출력 신호와 인버터들(235, 245)에서 출력되는 제2, 제3반전 신호(PREVB, MAINB)를 논리곱하고, 논리곱된 결과를 상기 제1변화 신호(NEXT)로서 출력한다. 앤드 게이트(260)는 오아 게이트(230)의 출력 신호와 인버터

들(225, 245)에서 출력되는 제1, 제3반전 신호(NEXTB, MAINB)를 논리곱하고, 논리곱된 결과를 제2변화 신호(PREV)로서 출력한다. 앤드 게이트 (270)는 오아 게이트(240)의 출력 신호와 인버터들(225, 235)에서 출력되는 제1, 제2반전 신호(NEXTB, PREVB)를 논리곱하고, 논리곱된 결과를 상기 제3변화 신호 (MAIN)로서 출력한다.

<38> 도 3(a)~도 3(c)는 도 2에 도시된 레벨 변화 검출부(120)의 동작을 설명하기 위한 도면들로서, 도 3(a)는 레벨 변화 시점에 따라서 제1변화 신호(NEXT)가 발생하는 경우를 나타내고, 도 3(b)는 제2변화 신호(PREV)가 발생하는 경우를 나타내고, 도 3(c)는 제3변화 신호(MAIN)가 발생하는 경우를 나타낸다. 도 3(a)~도 3(c)는 입력 클럭 신호(CLK)의 스큐(SKEW)로 인해 나타날 수 있는 샘플링 데이터의 출력 상태를 나타낸다.

<39> 도 2 및 도 3을 참조하여 도 2의 레벨 변화 검출부(120)의 동작에 관하여 상세히 설명된다.

<40> 우선, 도 3(a)를 참조하면, 입력 클럭 신호(CLK)에 대한 위상 클럭 신호(PH_CLK)의 위상이 입력 데이터(S_DIN)보다 앞서있는 경우를 나타낸다. 여기에서, 직렬 입력되는 4비트 단위의 데이터는 도 3(a)에 나타난 바와 같이 0과 1이 반복되는 형태를 갖는다고 가정된다. 이러한 경우에, 도 3(a)의 입력 비트(D0)는 '1'이고, 입력 비트(D1)는 '0'값을 갖게 되므로, 배타적 오아 게이트(201)의 출력(next[0])은 하이 레벨이 된다. 이 때, 배타적 오아 게이트들(202, 203)의 출력은 로우 레벨이 된다. 마찬가지로, 입력 비트(D3)와 데이터(D4)는 서로 다른 레벨을 갖기 때문에, 레벨이 변화되는 시점에서 배타적 오아 게이트(204)의 출력(next[1])은 다시 하이 레벨이 된다. 이와 같은 방식으로, 각 변화 검출부(200)의 제1출력 신호들(next)은 모두 하이 레벨이고, 나머지 제3출력 신호

들(main)과 제2출력 신호들(prev)은 로우 레벨이 된다. 즉, 도 3(a)를 참조하면, 3비트 씩 분할된 4그룹의 데이터들 중에서 각각의 첫 번째 비트와 두 번째 비트 사이에 레벨 변화가 존재하는 것을 알 수 있다.

<41> 이 때, 도 2에 도시된 변화 검출 신호 출력부(280)의 오아 게이트(220)는 하이 레벨의 신호를 출력한다. 또한, 제2출력 신호들(prev)과 제3출력 신호들 (main)은 로우 레벨이므로 다른 오아 게이트들(230,240)의 출력 신호는 로우 레벨이 된다. 따라서, 앤드 게이트(250)의 출력 신호 즉, 제1변화 신호(NEXT)는 하이 레벨이 되고, 앤드 게이트들 (260, 270)의 출력 신호(PREV, MAIN)는 로우 레벨이 된다. 결과적으로, 제1변화 신호 (NEXT)가 하이 레벨이고, 다른 신호들 (PREV, MAIN)이 로우 레벨인 경우는, 레벨 변화 시점이 도 3(a)에 도시된 바와 같다는 것을 나타낸다. 이러한 경우에는, 후술되어질 바와 같이, 각 입력 데이터들 중에서 D2, D5, D8, D11을 선택하면, 각 직렬 데이터의 1비트 구간에서 중심 부분 즉, 안정적인 부분에서 샘플링 값을 취하게 된다.

<42> 동일한 방식으로, 도 3(b)를 참조하면, 입력 클럭 신호(CLK)가 직렬 데이터(S_DIN)보다 위상이 늦은 경우를 나타낸다. 이 때, 도 3(b)의 입력 비트(D1)는 '0'이고, 입력 비트(D2)는 '1'값을 갖게 되므로, 배타적 오아 게이트(202)의 출력(prev[0])은 하이 레벨이 된다. 또한, 배타적 오아 게이트들(201, 203)의 출력은 로우 레벨이 된다. 마찬가지로, 입력 비트(D4)와 입력 비트(D5)의 레벨이 서로 다르므로, 레벨이 변화되는 시점에서 배타적 오아 게이트(205)의 출력은 다시 하이 레벨이 된다. 이와 같이, 각 변화 검출부 (200)의 제2출력 신호들(prev)은 모두 하이 레벨이고, 나머지 제3출력 신호들(main)과 제1출력 신호들(next)은 로우 레벨이 된다. 즉, 3비트 씩 분할된 4그룹의 데이터들 중에서 각각 두 번째 비트와 세 번째 비트 사이에 레벨 변화가 존재한다는 것을 나타낸다.

<43> 이 때, 변화 검출 신호 출력부(280)의 오아 게이트(230)는 하이 레벨의 신호를 출력한다. 또한, 제1출력 신호들(next)과, 제3출력 신호들(main)은 모두 로우 레벨이므로, 오아 게이트들(220,240)의 출력 신호는 로우 레벨이 된다. 따라서, 앤드 게이트(260)를 통하여 출력되는 제2변화 신호(PREV)는 하이 레벨이 되고, 앤드 게이트들(250, 270)을 통하여 출력되는 제1, 제3변화 신호(NEXT, MAIN)는 로우 레벨로 설정된다. 결과적으로, 제2변화 신호(PREV)가 하이 레벨이 되고, 다른 변화 신호들(NEXT, MAIN)이 로우 레벨이면, 레벨 변화가 발생하는 시점이 도 3(b)와 같다는 것을 알 수 있다. 이러한 경우에는, 도 3(b)의 입력 데이터들 중에서 D0, D3, D6, D9을 선택하면, 직렬 데이터의 1비트 구간에서 안정적인 샘플링 값을 취할 수 있다.

<44> 이와 유사한 방식으로, 도 3(c)에 도시된 경우 즉, 제3변화 신호(MAIN)가 발생하는 경우의 동작도 설명될 수 있다. 즉, 도 3(c)는 입력 클럭 신호(CLK)의 위상이 입력 데이터(S_DIN)와 동일한 경우라 할 수 있다. 이 때, 배타적 오아 게이트들(203, 206, 209, 212)의 출력 신호(main[0]~main[3])에 의해 오아 게이트 (240) 및 낸드 게이트(270)의 출력 신호(MAIN)가 하이 레벨로 설정된다. 그러나, 그 방식은 전술한 바와 같으므로 구체적인 설명은 생략된다.

<45> 즉, 각 비트들간의 레벨 변화 시점이 도 3(c)와 같은 경우에는, 3비트 씩 4그룹의 데이터들 중에서 각각 세 번째 비트와 다음 그룹의 첫 번째 비트 사이에 레벨 변화가 존재한다. 결과적으로, 제3변화 신호(MAIN)는 하이 레벨이 된다. 이러한 경우에, 입력 비트 중에서 각각 D1, D4, D7, D10을 선택하면, 직렬 데이터의 1비트 구간에서 중심 부분의 샘플링 값을 취하게 된다.

<46> 그러나, 클럭 스큐가 심한 경우에, 도 2의 변화 신호들(NEXT, PREV, MAIN)이 동시

에 발생될 수 있다. 이러한 경우에는, 각 변화 신호들의 반전된 신호들(NEXTA, PREVA, MAINA)에 의해 각 앤드 게이트들(250, 260, 270)의 출력이 로우 레벨이 된다. 이와 같이, 클럭 스큐가 심한 경우에는 레벨 변화 검출부(120)의 출력은 자체적으로 리셋된다. 즉, 레벨 변화 검출부(120)는 안정적인 데이터만을 출력하기 때문에 오동작을 방지할 수 있다.

<47> 도 4는 도 1에 도시된 장치의 변화 누적부(130)를 설명하기 위한 실시예의 회로도로서, 변화 누적부(130)는 제1~제3누적부(400, 420, 440) 및 리셋 신호 생성 수단으로서의 오아 게이트(470)를 포함한다.

<48> 도 4를 참조하면, 제1누적부(400)는 레벨 변화 검출부(120)에서 출력되는 제1변화 신호(NEXT)를 입력하고, 입력 클럭 신호(CLK)에 응답하여 제1변화 신호(NEXT)가 인가되는 횟수를 누적하여 제1변화 누적 신호(NEXTA)를 생성한다. 이러한 동작을 위해, 제1누적부(400)는 플립플롭들(401~405), 오아 게이트들(408~410), 앤드 게이트들(412~415)로 구성된다. 제1누적부(400)의 플립플롭들(401~405)은 오아 게이트(470)를 통하여 출력되는 누적 리셋 신호(R_ACC)에 응답하여 리셋된다.

<49> 구체적으로, 제1누적부(400)의 구성을 설명하면 다음과 같다. 오아 게이트(407)는 제1변화 신호(NEXT)와 플립플롭(401)의 출력 신호(Q1)를 논리합한다. 플립플롭(401)은 오아 게이트(407)의 출력 신호를 데이터 입력(D1)으로 하고, 입력 클럭 신호(CLK)에 응답하여 출력 신호(Q1)를 생성한다. 이 때, 앤드 게이트(412)는 제1변화 신호(NEXT)와 플립플롭(401)의 출력 신호(Q1)를 논리곱하고, 논리곱된 결과를 출력한다. 오아 게이트(408)는 플립플롭(402)의 출력 신호(Q2)와 앤드 게이트(412)의 출력 신호를 논리합하고, 논리합된 결과를 플립플롭(402)의 데이터 입력(D2)으로 인가한다. 플립플롭(402)은 입력

클럭 신호(CLK)에 응답하여 입력 데이터(D2)를 출력 신호(Q2)로서 생성한다.

<50> 이와 유사한 방식으로, 앤드 게이트(413)는 제1변화 신호(NEXT)와 플립플롭 (402)의 출력 신호(Q2)를 논리곱하여 그 결과를 오아 게이트(407)의 입력으로 인가한다. 따라서, 플립플롭(403)은 오아 게이트(407)의 출력 신호를 데이터 입력(D3)으로 인가하고, 입력 클럭 신호(CLK)에 응답하여 출력 신호(Q3)를 생성한다. 즉, 이러한 과정이 반복되어 제1변화 신호(NEXT)가 5번 누적되면 누적된 신호를 제1변화 누적 신호(NEXTA)로서 출력한다.

<51> 도 4에 도시된 제2누적부(420)와 제3누적부(440)의 구성도 제1누적부(410)의 구성과 유사하다. 즉, 제2누적부(420)는 플립플롭들(421~425), 오아 게이트들 (427~430) 및 앤드 게이트들(432~435)로 구성된다. 또한, 제3누적부(440)는 플립플롭들(441~445), 오아 게이트들(447~450) 및 앤드 게이트들(452~455)로 구성된다. 즉, 제2누적부(420)와 제3누적부(440)는 입력 신호가 각각 제2변화 신호(PREV)와 제3변화 신호(MAIN)이고, 누적된 출력 신호가 각각 제2변화 누적 신호(PREVA)와 제3변화 누적 신호(MAINA)라는 점에서만 차이가 있다. 따라서, 구체적인 구성 및 작용에 대한 설명은 생략된다.

<52> 도 4의 오아 게이트(470)는 각각의 제1~제3누적부(400, 420, 440)에서 출력되는 제1~제3변화 누적 신호(NEXTA, PREVA, MAINA)를 논리합하고, 논리합된 결과를 누적 리셋 신호(R_ACC)로서 출력한다. 즉, 누적 리셋 신호(R_ACC)는 상기 제1~제3변화 누적 신호들(NEXTA, PREVA, MAINA) 중 어느 한 신호가 발생될 때 생성된다.

<53> 도 5는 도 4에 도시된 변화 누적부(130)의 동작을 설명하기 위한 플로우차트로서, 각각 제1변화 누적 신호(NEXTA)를 생성하는 과정(500~504), 제2변화 누적 신호(PREVA)를 생성하는 과정(510~514) 및 제3변화 누적 신호 (MAINA)를 생성하는 과정(520~524)으로

구성된다.

<54> 도 4 및 도 5를 참조하여 변화 누적부(130)의 동작에 관하여 상세히 설명된다. 먼저, 제1변화 누적 신호(NEXTA)를 생성하는 과정에 대하여 설명하면 다음과 같다. 즉, 제1누적부(400)는 입력 클럭 신호(CLK)에 응답하여 입력되는 제1변화 신호(NEXT)를 누적한다(502). 도 4에 도시된 제1누적부(400)는 하이 레벨을 갖는 제1변화 신호(NEXT)가 인가되면, 플립플롭(401)에 인가되는 데이터 입력(D1)은 하이 레벨이 된다. 이 때, 입력 클럭 신호(CLK)에 응답하여 플립플롭(401)은 하이 레벨의 출력 신호(Q1)를 생성한다. 또한, 앤드 게이트 (412)는 두 번째 제1변화 신호(NEXT)와 플립플롭(401)의 출력 신호(Q1)를 논리곱하여 하이 레벨의 출력 신호를 생성한다. 이 때, 오아 게이트(408)의 출력에 의해서 플립플롭(402)의 데이터 입력(D2)은 하이 레벨이 된다. 따라서, 플립플롭 (402)은 입력 클럭 신호(CLK)에 응답하여 하이 레벨의 출력 신호(Q2)를 생성한다. 이러한 과정을 통하여, 3번째~5번째 출력 신호(NEXT)가 인가되면, 각 플립플롭들(403~405)의 출력 신호(Q3, Q4, Q5)는 하이 레벨이 된다. 따라서, 도 5를 참조하면, 제1변화 신호(NEXT)의 발생 횟수가 N번, 예를 들어 5번이 되었는지가 판단된다(504). 여기에서, 제1변화 신호(NEXT)의 발생 횟수가 5번이 되었는지를 결정하는 것은 플립플롭(405)의 출력이 하이 레벨이 되었는지를 판단함으로써 이루어진다. 또한, 발생 횟수(N)를 결정하는 것은 오버샘플링 비트의 상태 및 적용 시스템에 따라서 다르게 결정될 수 있다. 도 5를 참조하면, 제1변화 신호(NEXT)의 발생 횟수가 5번이 되었으면, 제1변화 누적 신호(NEXTA)를 출력하고, 리셋 신호(R_ACC)를 생성하여 변화 누적부(130)를 리셋시킨다(508).

<55> 제2변화 누적 신호(PREVA)가 발생하는 경우의 동작도 상기 제1변화 누적 신호(NEXTA)의 발생 과정과 유사하다. 즉, 제2누적 신호(PREV)가 발생하는 횟수를 판단하여

5번이 되면, 제2변화 누적 신호(PREVA)를 생성하고(516), 변화 누적부 (130)를 리셋시킨다(518). 제3변화 누적 신호(MAINA)가 생성되는 경우도 동일한 과정을 거치게 되므로 상세한 설명은 생략된다.

<56> 이와 같이, 각 제1~제3누적부들(400, 420, 440)에 입력되는 제1~제3변화 신호(NEXT, PREV 및 MAIN) 중에서 어느 하나의 입력이 먼저 5번의 누적 상태가 되면, 먼저 누적된 신호를 변화 누적부(130)의 변화 누적 신호로서 생성한다. 또한, 변화 누적 신호가 생성되면, 누적 리셋 신호(R_ACC)가 하이 레벨이 되므로 각각의 누적부들(400, 420, 440)은 리셋되어 새로운 신호를 받아들이는 상태가 된다.

<57> 도 6은 도 1에 도시된 장치의 상태 선택부(140)를 설명하기 위한 상세한 회로도로서, 제1상태 신호 생성부(600)와 제2상태 신호 생성부(650)를 포함한다.

<58> 도 6을 참조하면, 제1상태 신호 생성부(600)는 변화 누적부(130)에서 출력되는 제1~제3변화 누적 신호들(NEXTA/PREVA/MAINA)을 논리 조합하고, 논리 조합된 결과를 상기 입력 클럭 신호(CLK)에 응답하여 제1상태 신호(STATE0)로서 출력한다. 이러한 기능을 위해, 제1상태 신호 생성부(600)는 노아 게이트들 (602, 604)과 플립플롭(606)을 포함한다.

<59> 즉, 제1상태 신호 생성부(600)의 노아 게이트(602)는 플립플롭(606)의 출력 신호 즉, 제1상태 신호(STATE0)와, 제2변화 누적 신호(PREVA)를 반전 논리합하고, 반전 논리합된 결과를 출력한다. 노아 게이트(604)는 노아 게이트(602)의 출력과, 제1변화 누적 신호(NEXTA) 및 제3변화 누적 신호(MAINA)를 반전 논리합하고, 반전 논리합된 결과를 출력한다. 플립플롭(606)은 노아 게이트(604)의 출력 신호를 데이터 입력으로 받아들이고, 클럭 신호(CLK)에 응답하여 상태 신호(STATE0)를 생성한다.

<60> 또한, 제2상태 신호 생성부(650)는 제1~제3변화 누적 신호들(NEXTA/PREVA /MAINA)을 논리 조합하고, 논리 조합된 결과를 상기 입력 클럭 신호(CLK)에 응답하여 제2상태 신호(STATE1)로서 출력한다. 이러한 기능을 위해 제2상태 신호 생성부(650)는 노아 게이트들(652, 654)과 플립플롭(656)을 포함한다. 즉, 노아 게이트(652)는 플립플롭(656)의 출력 신호 즉, 제2상태 신호(STATE1)와 제1변화 누적 신호(NEXTA)를 반전 논리합하고, 반전 논리합된 결과를 출력한다. 도 6에서 제1상태 신호(STATE0)와 제2상태 신호(STATE1)는 각각 2비트의 조합으로 표현되는 상태 신호(STATE[0:1])를 나타낸다.

<61> 도 7은 도 6에 도시된 상태 선택부(140)의 동작을 설명하기 위한 도면이다. 도 6 및 도 7을 참조하여 상태 선택부(140)의 동작에 관하여 상세히 설명된다. 먼저, 변화 누적부(130)에서 제3변화 누적 신호(MAINA)가 발생하는 경우에, 제1상태 신호 생성부(600)의 노아 게이트(604)와 제2상태 신호 생성부(650)의 노아 게이트(654)의 출력은 로우 레벨이 된다. 따라서, 플립플롭들(606, 656)은 클럭 신호(CLK)에 응답하여 각각 로우 레벨의 제1상태 신호(STATE0)와 제2상태 신호(STATE1)를 출력한다. 도 7을 참조하면, 제3변화 누적 신호(MAINA)가 출력되는 경우에, 상태 신호(STATE[0:1])는 '00'으로 설정된다. 또한, 다른 변화 누적 신호가 발생되지 않거나, 제3변화 누적 신호(MAINA)가 연속하여 발생되면, 상태 신호(STATE)는 계속 '00'을 유지한다. 또한, 변화 누적부(140)의 출력 신호가 제3변화 누적 신호(MAINA)에서 제2변화 누적 신호(PREVA) 또는 제1변화 누적 신호(NEXTA)로 변화되면, 그에 따라 상태 신호(STATE)도 '00'에서 다른 값으로 변화된다.

<62> 만일, 변화 누적부(130)의 출력 신호가 제1변화 누적 신호(NEXTA)가 되면, 제1상태 신호 생성부(600)의 노아 게이트(604)의 출력은 로우 레벨이 되고 플립플롭(606)을 통하여 출력되는 제1상태 신호(STATE0)는 로우 레벨이 된다. 이 때, 제2상태 신호 생성부

(650)의 노아 게이트(652)의 출력은 로우 레벨이 되고, 노아 게이트(654)의 출력은 하이 레벨이 된다. 따라서, 플립플롭(656)을 통하여 출력되는 제2상태 신호(STATE1)는 하이 레벨 즉, '1'값을 갖는다. 결과적으로, 제1변화 누적 신호(NEXTA)가 발생하는 경우에, 2비트로 표현되는 상태 신호 (STATE)는 '01'이 된다. 마찬가지로, 다른 변화 누적 신호가 인가되지 않고, 연속하여 제1변화 누적 신호(NEXTA)가 인가되면, 상태 신호(STATE)는 계속 '01'로 유지된다.

<63> 또한, 변화 누적부(130)의 출력 신호가 제2변화 누적 신호(PREVA)이면, 제1상태 신호 생성부(600)에서 출력되는 제1상태 신호(STATE0)는 하이 레벨이 되고, 제2상태 신호 생성부(650)에서 출력되는 제2상태 신호(STATE1)는 로우 레벨이 된다. 따라서, 2비트의 상태 신호(STATE)는 '10' 값을 갖는다. 도 7은 전술한 과정에서 생성되는 각 변화 누적 신호들에 의해 발생하는 상태 신호(STATE[0:1])의 비트 값과, 각 상태로의 변화를 구체적으로 나타낸다. 즉, 현재의 상태를 기준으로하여, 발생하는 변화 누적 신호에 의해 다음 상태로의 전이가 이루어진다.

<64> 도 8은 도 1에 도시된 데이터 선택부(150)를 나타내는 상세한 회로도로서, 제1~제4선택부(800, 810, 820, 830)로 구성된다.

<65> 도 8을 참조하면, 제1~제4선택부(800~830)는 누적 변화 신호들(NEXTA, PREVA, MAINA)에 의해 결정된 상태 신호(STATE)에 상응하여, 3배 오버샘플러 (110)에서 출력되는 오버샘플링 데이터들 중에서 해당 위치의 비트 데이터들을 선택한다.

<66> 도 8의 실시예에서 제1~제4선택부(800~830)는 각각 하나의 멀티플렉서들 (805, 815, 825, 835)로 구성된다. 여기에서, 멀티플렉서들(805, 815, 825, 835)의

수는 병렬 데이터로 변환하고자 하는 비트 수와 일치한다. 본 발명에서는 병렬 출력되는 비트 수가 4인 경우를 나타낸다. 멀티플렉서(805)는 3배 오버샘플러(110)에서 출력되는 12비트 데이터 중 연속적인 세 비트(D0,D1,D2)를 입력으로하고, 상태 신호(STATE)에 응답하여 한 비트를 선택한다. 여기에서, 멀티플렉서(800)의 출력 신호는 4비트의 병렬 데이터 중에서 하위 비트 데이터(P_DOUT0)가 된다. 멀티플렉서(815)는 다음 세 비트(D3,D4,D5)를 입력하고, 상태 신호(STATE)에 응답하여 세 비트 중 한 비트를 선택한다. 이 때, 멀티플렉서(815)에서 선택된 신호는 4비트 병렬 데이터 중 두 번째 비트(P_DOUT1)가 된다. 또한, 멀티플렉서(825)는 다음 세 비트(D6, D7, D8)의 데이터를 입력하고, 상태 신호(STATE)에 응답하여 세 비트 중 한 비트를 선택한다. 이 때, 멀티플렉서(825)에서 선택된 신호는 4비트 병렬 데이터 중 세 번째 비트(P_DOUT2)가 된다. 멀티플렉서(830)는 마지막 세 비트(D9, D10, D11)를 입력하고, 상태 신호(STATE)에 응답하여 세 비트 중 한 비트를 선택한다. 멀티플렉서(830)의 출력 신호는 4비트 병렬 데이터 중 4번째 즉, 최상위 비트(P_DOUT3)가 된다.

<67> 도 8을 참조하면, 각각의 멀티플렉서들(805, 815, 825, 835)은 상태 신호(STATE)의 2비트 값이 00이면, 두 번째 비트 데이터를 선택하여 출력한다. 또한, 상태 신호(STATE)의 2비트 값이 10이면 각각 첫 번째 비트 데이터를 선택한다. 마찬가지로, 상태 신호(STATE)의 2비트 값이 01이면 각각 세 번째 비트 데이터를 선택하여 출력한다.

<68> 도 9는 도 8에 도시된 데이터 선택부(150)의 동작을 설명하기 위한 도면이다. 즉, 도 9는 각 상태 신호(STATE[0:1])의 비트 값에 상응하는 출력 데이터들을 분류하여 도시한다. 예를 들어, 상태 신호(STATE)가 00인 경우에, 각 비트들간의 레벨 변화가 발생하는 시점은 도 3(c)의 'MAIN'인 것으로 설정된다. 따라서, 각 멀티플렉서(805, 815, 825,

835)를 통하여 출력되는 데이터는 D1, D4, D7, D10이 된다. 또한, 상태 신호(STATE)가 10인 경우에, 각 비트들 간의 레벨 변화가 발생하는 시점은 도 3(b)의 'PREV'인 것으로 설정된다. 따라서, 상기 멀티플렉서들(805, 835)을 통하여 출력되는 데이터는 D0, D3, D6, D9가 된다. 또한, 상태 신호(STATE)가 01인 경우에, 각 비트들 간의 레벨 변화가 발생하는 시점은 도 3(a)의 'NEXT'인 것으로 설정된다. 따라서, 멀티플렉서들(805~835)을 통하여 출력되는 데이터는 각각 D2, D5, D8, D11 이 되는 것을 알 수 있다.

<69> 도 10은 본 발명의 실시예에 따른 클럭 스큐에 의한 에러를 최소화하는 데이터 복원 방법을 설명하기 위한 플로우차트이다.

<70> 이하에서, 도 1~도 9를 참조하여, 본 발명에 따른 데이터 복원 방법에 관하여 구체적으로 설명된다. 먼저, 3배 오버샘플러(110)는 입력되는 K비트, 예를 들어 4비트 단위의 직렬 데이터를 12개의 위상 클럭 신호(PH_CLK)에 의해 3배 오버 샘플링한다(제900단계). 레벨 변화 검출부(120)는 3배 오버샘플링된 N비트 예를 들어, 12비트 신호들 간의 레벨 변화를 검출하여 레벨 변화 시점에 다른 제1~제3변화 신호(NEXT, PREV, MAIN)를 출력한다(제910단계). 이 때, 변화 누적부(130)는 레벨 변화 검출부(120)에서 출력되는 제1~제3변화 신호(NEXT, PREV, MAIN)의 발생 횟수가 소정 수가 될 때까지 누적한다(제920단계). 또한, 제920 단계에서 제1~제3변화 신호(NEXT, PREV, MAIN)의 발생 횟수를 누적한 결과에 의해 발생 빈도가 가장 높은 신호를 검출하고, 그에 상응하여 오버샘플링 비트 데이터 중에서 해당 비트 데이터를 선택한다(제930단계). 여기에서, 발생 빈도가 높은 신호를 검출하는 것은 제1~제3변화 신호(NEXT, PREV, MAIN)의 발생 횟수가 소정 수가 되어 제1~제3변화 누적 신호(NEXTA, PREVA, MAINA) 중 하나가 발생되었는지를 검출함으로써 이루어진다.

<71> 제930단계에서 먼저, 제1변화 신호(NEXT)의 발생 빈도가 높은지가 판단된다(제940 단계). 제940단계에서 제1변화 신호(NEXT)의 발생 빈도가 높은 것으로 판단되면, 데이터 선택부(150)는 누적된 제1변화 신호(NEXT)에 상응하는 3개 샘플링 위치 중 하나씩 전체 4개의 데이터(D2, D5, D8, D11)를 선택한다(제945 단계). 여기에서, 데이터를 선택하는 것은 상기 제1변화 누적 신호(NEXTA)에 의해 발생하는 상태 신호(STATE)의 비트 값에 따라서 결정된다. 도 1에 도시된 실시예 예서와 같이, 직렬 데이터가 4비트 단위로 인가되고, 3배 오버샘플링이 이루어지는 경우에, 데이터 선택부(150)에서 출력되는 4개의 데이터는 $3P+2$ (여기에서, P 는 0 이상의 정수)번째 비트 데이터인 것으로 표시될 수 있다.

<72> 한편, 제940단계에서 제1변화 신호(NEXT)의 발생 빈도가 높지 않다면, 제2변화 신호(PREV)의 발생 빈도가 높은지 판단된다(제950단계). 만일, 제2변화 신호(PREV)의 발생 빈도가 높은 것으로 판단되면, 데이터 선택부(150)는 누적된 제2변화 신호(PREV)에 상응하는 3개 샘플링 위치 중 하나씩 전체 4개의 데이터(D0, D3, D6, D9)를 선택한다(제955단계). 즉, 데이터 선택부(150)에서 출력 데이터는 $3P$ 번째 데이터인 것으로 표시될 수 있다.

<73> 또한, 제950단계에서 제2변화 신호(PREV)의 발생 빈도가 높지 않다면, 제3변화 신호(MAIN)의 발생 빈도가 높은지가 판단된다(제960단계). 만일, 제3변화 신호(MAIN)의 발생 빈도가 높은 것으로 판단되면, 데이터 선택부(150)는 누적된 제3변화 신호(MAIN)에 상응하여 3개 샘플링 위치 중 하나씩 전체 4개의 데이터(D1, D4, D7, D10)를 선택한다(제965단계). 여기에서 출력되는 데이터는 $3P+1$ 번째 비트 데이터인 것으로 표시될 수 있다. 제965단계 후에, 데이터 선택부(150)는 각각의 멀티플렉서들을 통하여 1비트씩 출력되는 4개의 데이터를 병렬로 출력한다(제970단계).

<74> 이와 같이, 본 발명에서는 클럭 스큐의 조건에 따라서 현재 입력되는 데이터의 레벨 변화 시점을 검출하고, 검출된 결과에 의해 출력될 비트 데이터를 선택한다. 따라서, 클럭 스큐가 발생되더라도 본 발명에 따른 데이터 복원 장치는 3배 샘플링된 비트들 중에서 안정적인 상태의 비트 데이터를 출력하게 된다.

【발명의 효과】

<75> 본 발명에 따르면, 입력되는 직렬 데이터에 대해서, 클럭 스큐에 의한 레벨 변화의 발생 빈도를 검출하여 출력 데이터를 결정하기 때문에, 안정적인 상태의 비트 데이터를 선택할 수 있다는 효과가 있다. 따라서, 본 발명에서는 데이터의 복원 시에 발생할 수 있는 클럭 스큐에 의한 에러를 최소화할 수 있다는 효과가 있다.

【특허청구범위】

【청구항 1】

입력 클럭 신호에 동기되고, 서로 다른 지연 시간을 갖는 다수 개의 위상 클럭 신호를 발생시키는 위상 동기 루프;

외부에서 직렬로 입력되는 데이터를 상기 다수 개의 위상 클럭 신호에 응답하여 $M(>1)$ 배 오버샘플링하고, 상기 오버샘플링된 결과를 다수 비트 데이터로서 출력하는 오버샘플링 수단;

상기 오버샘플링 수단에서 출력된 상기 다수 비트 데이터를 입력하여 비트 간의 레벨 변화 시점을 검출하고, 상기 검출된 결과를 각각 제1~제M변화 신호로서 출력하는 레벨 변화 검출부;

상기 레벨 변화 검출부에서 출력된 상기 제1~제M변화 신호의 발생 회수를 각각 누적하여 발생 빈도가 높은 신호를 제1~제M변화 누적 신호 중 하나로서 출력하는 변화 누적부;

상기 제1~제M변화 누적 신호에 응답하여 상기 다수의 오버샘플링 데이터들 중 해당 위치의 비트 데이터들을 선택하기 위한 상태 신호를 생성하는 상태 선택부; 및

상기 오버샘플링된 다수 비트 데이터를 입력하고, 상기 상태 신호에 상응하는 샘플링 위치의 비트 데이터들을 선택하여 병렬로 출력하는 데이터 선택부를 구비하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 2】

제1항에 있어서, 상기 오버샘플링 수단은,

상기 직렬 입력되는 다수 비트 데이터를 3배 오버샘플링하는 3배 오버샘플러인 것을 특징으로 하는 데이터 복원 장치.

【청구항 3】

제2항에 있어서, 상기 레벨 변화 검출부는,

상기 오버샘플링 수단에서 출력되는 다수 비트들 중에서 인접한 두 비트들을 각각 배타적 논리합하고, 상기 배타적 논리합된 결과를 제1, 제2 및 제3출력 신호들로서 생성하는 다수 개의 배타적 논리합 수단들로 구성된 변화 검출부; 및

상기 제1, 제2 및 제3출력 신호들을 각각 논리 조합하고, 상기 논리 조합된 결과를 제1~제3변화 신호로서 출력하는 변화 검출 신호 출력부를 구비하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 4】

제3항에 있어서, 상기 변화 누적부는,

상기 입력 클럭 신호에 응답하여 상기 제1변화 신호를 누적하고, 상기 누적된 횟수가 소정 수가 되면 제1레벨을 갖는 제1변화 누적 신호를 출력하는 제1누적부;

상기 입력 클럭 신호에 응답하여 상기 제2변화 신호를 누적하고, 상기 누적된 횟수가 소정 수가 되면 제1레벨을 갖는 제2변화 누적 신호를 출력하는 제2누적부;

상기 입력 클럭 신호에 응답하여 상기 제3변화 신호를 누적하고, 상기 누적된 횟수가 소정 수가 되면 제1레벨을 갖는 제3변화 누적 신호를 출력하는 제3누적부; 및

상기 제1, 제2 및 제3변화 누적 신호를 논리 조합하고, 상기 논리 조합된 결

과에 응답하여, 상기 제1, 제2 및 제3누적부를 리셋시키기 위한 누적 리셋 신호를 생성하는 리셋 신호 생성부를 구비하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 5】

제4항에 있어서, 상기 변화 누적부는,

상기 제1, 제2 및 제3변화 신호 중에서 발생 빈도가 높은 신호를 상기 제1, 제2 및 제3변화 누적 신호 중 하나로 출력하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 6】

제4항에 있어서, 상기 상태 선택부는,

상기 제1~제3변화 누적 신호 중 하나의 신호가 발생될 때 서로 다른 비트의 조합을 갖는 2비트 데이터로서 상기 상태 신호를 설정하며,

상기 상태 신호는 상기 제1변화 누적 신호가 발생되면 비트 조합'01'로 설정되고, 상기 제2변화 누적 신호가 발생되면 '10'으로 설정되고, 상기 제3변화 누적 신호가 발생되면 '00'으로 설정되는 것을 특징으로 하는 데이터 복원 장치.

【청구항 7】

제6항에 있어서, 상기 데이터 선택부는,

상기 오버샘플링된 다수 비트 데이터들 중 각각 M비트 씩 입력하고, 상기 상태 신호에 응답하여 상기 입력된 M비트 중 한 비트를 선택적으로 출력하는 다수 개의 멀티플렉서들을 구비하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 8】

제7항에 있어서, 상기 데이터 선택부는,

상기 다수의 멀티플렉서들에 입력되는 M비트 데이터를 각각 $3P$ (여기에서, P 는 0이상의 정수), $3P+1$, $3P+2$ 로 설정할 때,

상기 상태 신호가 '01'이면 상기 $3P+2$ 번째 비트들을 출력하고, 상기 상태 신호가 '10'이면 상기 $3P$ 번째 비트들을 출력하고, 상기 상태 신호가 '00'이면 상기 $3P+1$ 번째 비트들을 출력하는 것을 특징으로 하는 데이터 복원 장치.

【청구항 9】

(a)외부에서 K비트 단위의 직렬 데이터를 입력하고, 서로 다른 지연 시간을 갖는 N개의 위상 클럭 신호에 의해 상기 직렬 데이터의 한 비트 구간을 M배 오버샘플링하는 단계;

(b) 상기 M배 오버샘플링된 N 비트 신호들간의 레벨 변화를 검출하여 상기 레벨 변화 시점에 따른 제1~제M변화 신호를 출력하는 단계;

(c)상기 제1~제M변화 신호의 발생 횟수를 누적하는 단계;

(d) 상기 제1~제M변화 신호의 발생 횟수를 누적한 결과에 의해 발생 빈도가 높은 신호를 검출하는 단계; 및

(e)상기 발생 빈도가 높은 신호에 의해서 상기 오버샘플링된 데이터들 중 해당 위치의 데이터들을 선택하는 단계를 구비하는 것을 특징으로 하는 데이터 복원 방법.

【청구항 10】

제9항에 있어서, 상기 (a)단계는,

상기 직렬 데이터의 한 비트 구간을 3배 오버샘플링하는 것을 특징으로 하는 데이터 복원 방법.

【청구항 11】

제10항에 있어서, 상기 (d)단계는,

상기 제1~제M변화 신호의 누적된 결과에 의해 발생 빈도가 높은 신호가 검출되면, 새로운 신호를 누적하기 위한 초기화 동작이 이루어지는 단계를 더 구비하는 것을 특징으로 하는 데이터 복원 방법.

【청구항 12】

제10항에 있어서 상기 (e)단계는,

(e1) 상기 제1변화 신호의 발생 빈도가 높으면, 상기 제1변화 신호에 상응하는 3배 오버샘플링 위치($3P+2$:여기에서 P 는 0 이상의 정수)의 1비트씩 K 개를 선택하는 단계;

(e2)상기 제2변화 신호의 발생 빈도가 높으면, 상기 제2변화 신호에 상응하는 M 배 오버샘플링 위치($3P$)의 1비트씩 K 개를 선택하는 단계; 및

(d3)상기 제3변화 신호의 발생 빈도가 높으면, 상기 제3변화 신호에 상응하는 M 배 오버샘플링 위치($3P+1$)의 1비트씩 K 개를 선택하는 단계를 구비하는 것을 특징으로 하는 데이터 복원 방법.

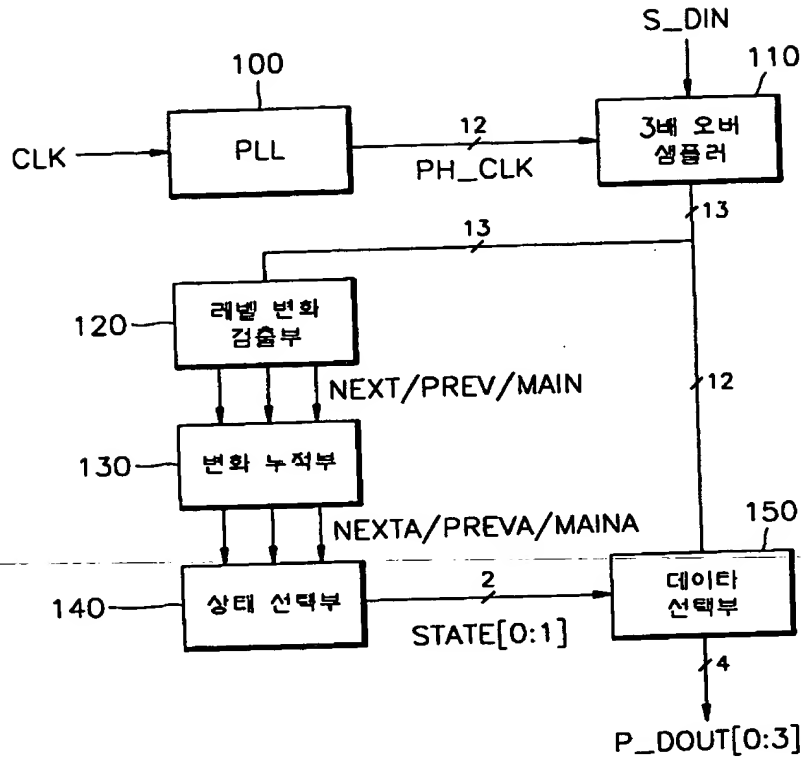
【청구항 13】

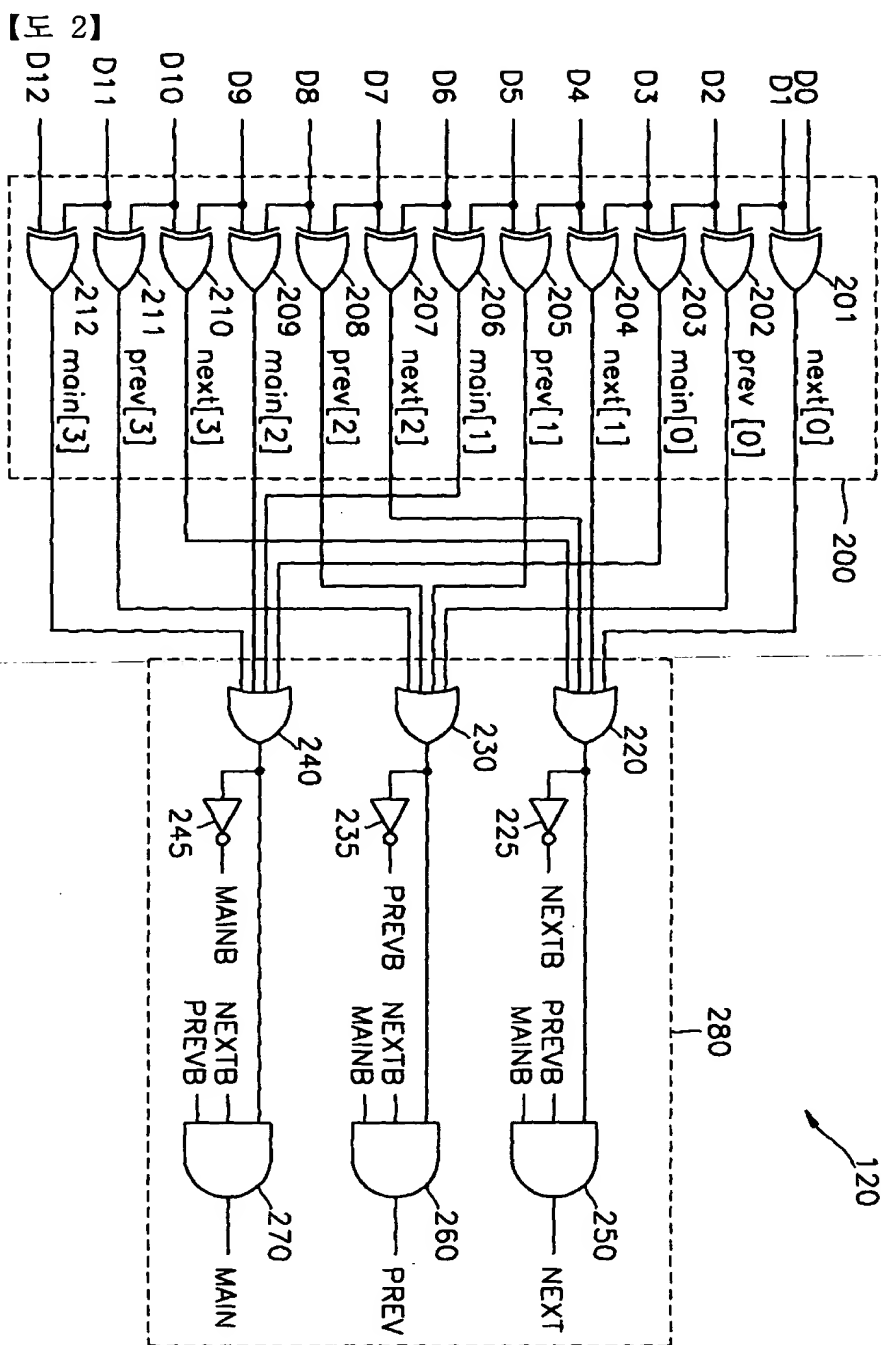
제9항에 있어서 상기 (e)단계는,

상기 제1~제3변화 신호의 누적된 결과에 응답하여 소정 비트의 상태 신호를 생성하고, 상기 상태 신호의 비트 조합에 따라서 상기 오버샘플링 위치의 데이터를 선택하는 단계를 포함하는 것을 특징으로 하는 데이터 복원 방법.

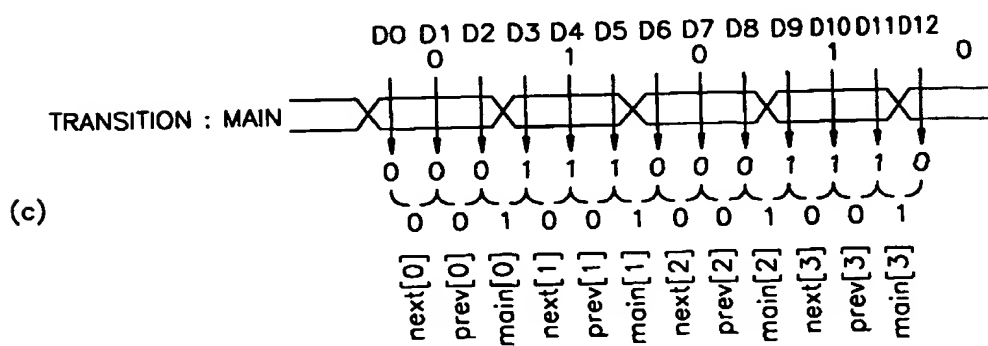
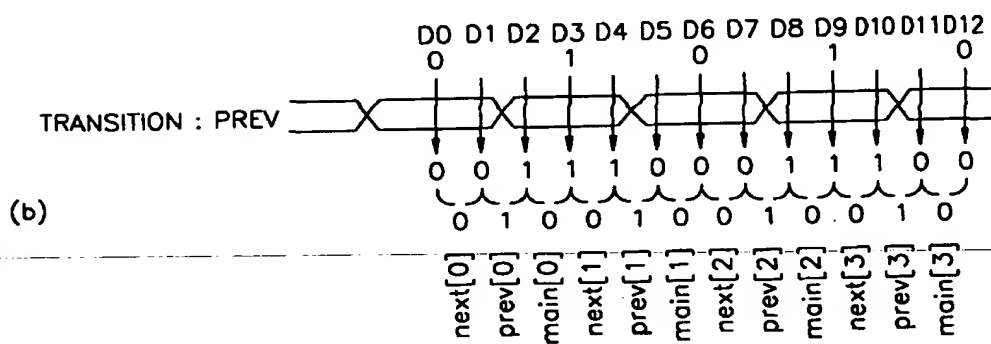
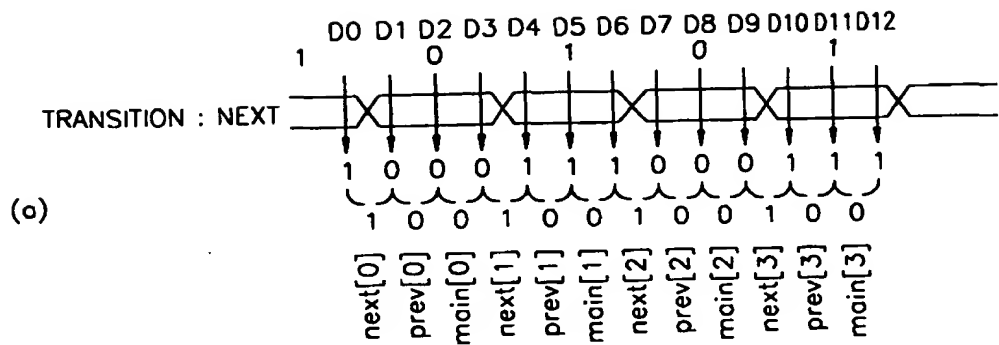
【도면】

【도 1】

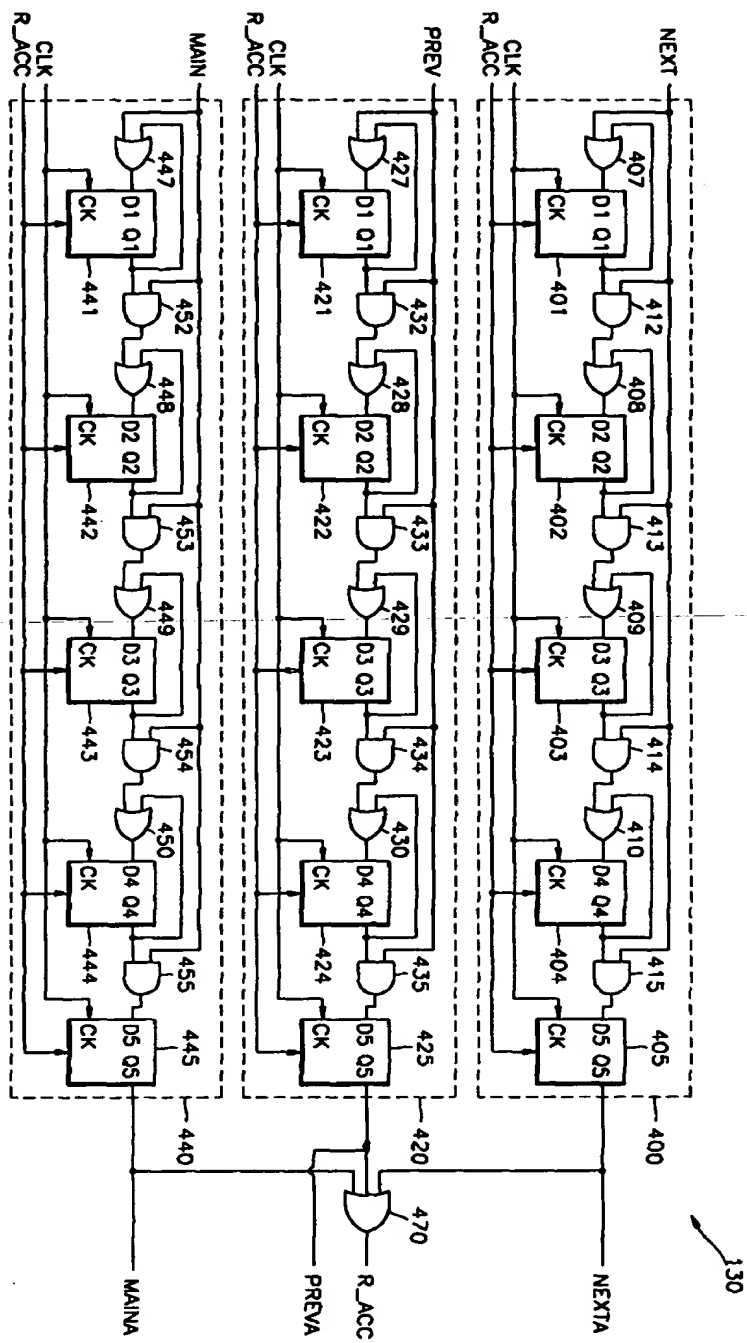




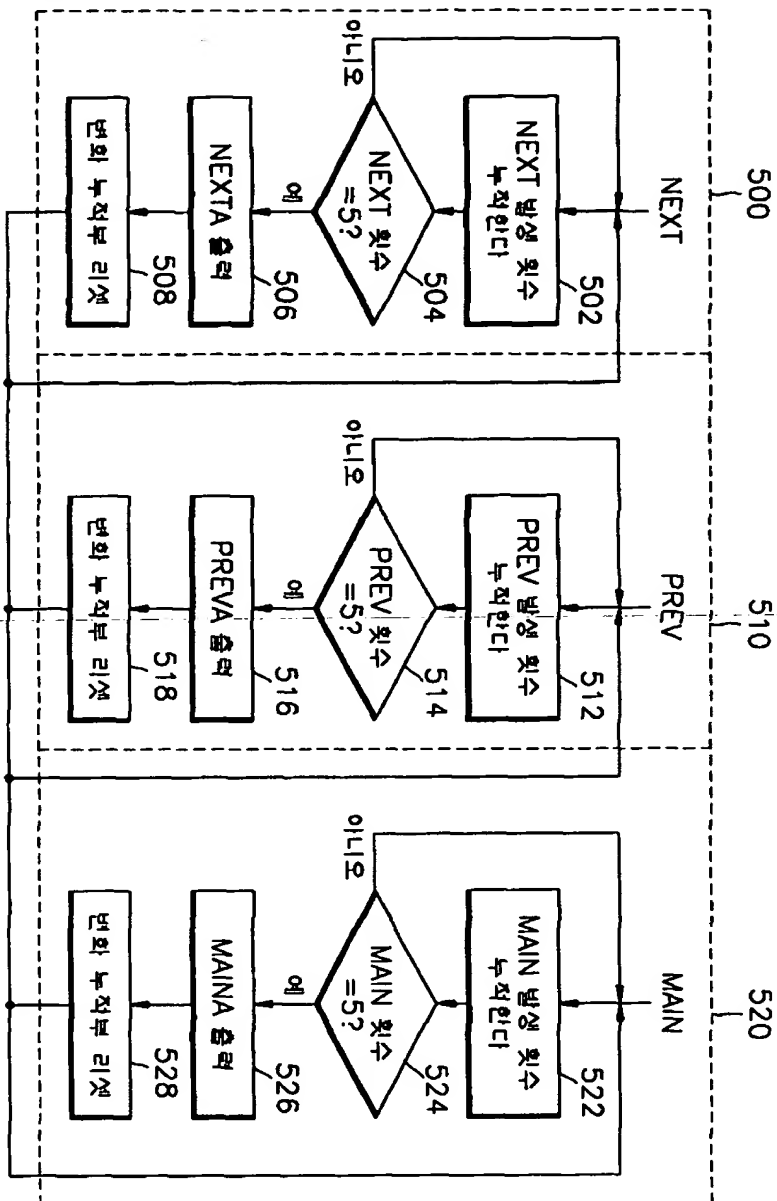
【도 3】



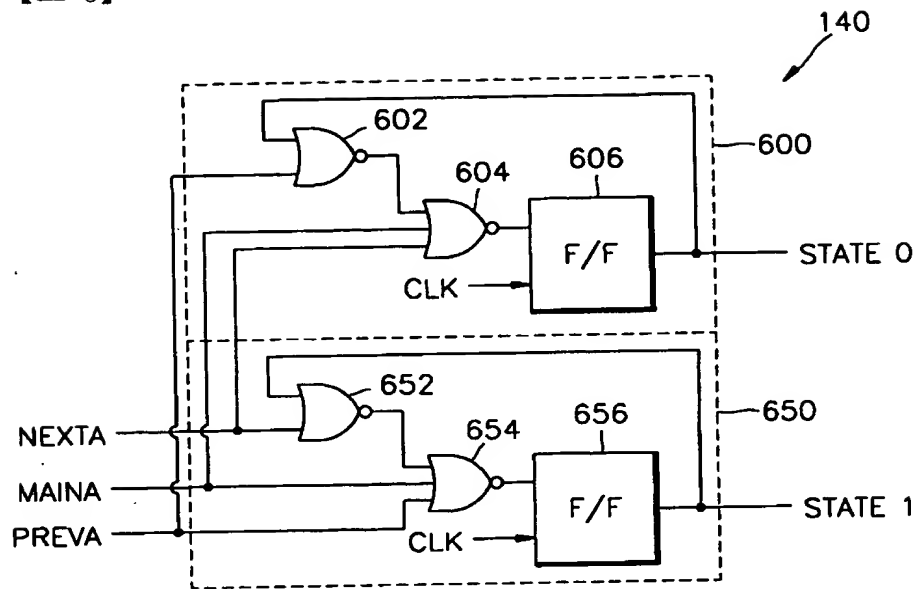
【 4】



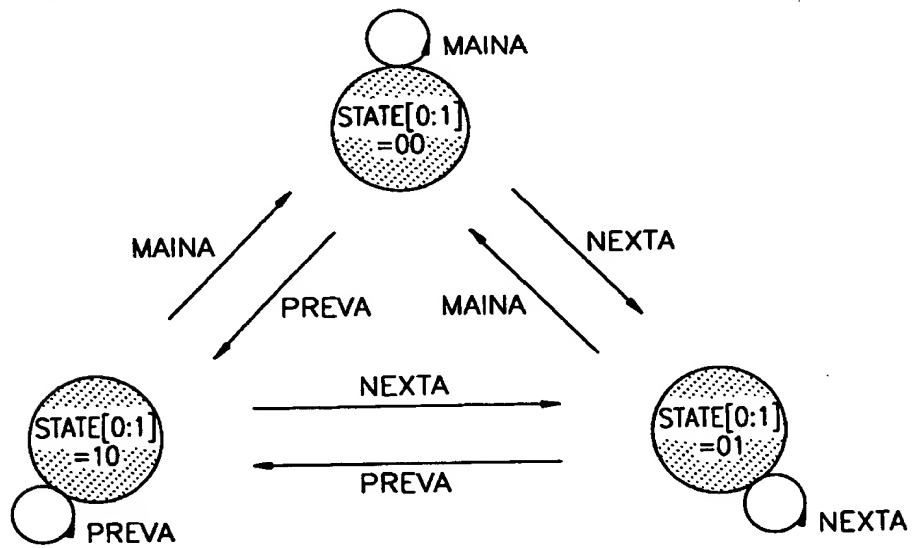
【도 5】



【도 6】



【도 7】





【 9】

상태 신호	멀티플렉서 입력	멀티플렉서 출력	누적 출력
STATE[0:1]=00	D0~D11	D1, D4, D7, D10	MAINA
STATE[0:1]=10		D0, D3, D6, D9	PREVA
STATE[0:1]=01		D2, D5, D8, D11	NEXTA

【도 10】

